

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11026574 A**(43) Date of publication of application: **29.01.99**

(51) Int. Cl.

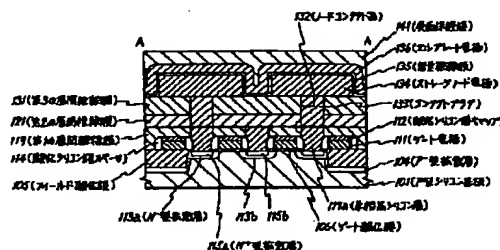
H01L 21/768**H01L 21/28****H01L 27/108****H01L 21/8242**(21) Application number: **09174724**(22) Date of filing: **30.06.97**(71) Applicant: **NEC CORP**(72) Inventor: **KASAI NAOKI**(54) **SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent leakage currents and short circuits between wiring and a gate electrode or the like due to the shift of mask alignment.

SOLUTION: A monocrystal silicon layer 117a is formed on a P-type silicon substrate 101, adjacent to silicon oxide film caps 112 covering gate electrodes 111 and silicon oxide spacer films 114. A first interlayer insulating film 119 is formed on the silicon oxide film caps 112 and the silicon oxide film spacers 114. A second interlayer insulating film 121 of a material having an etchant different from the first interlayer insulating film 119 is formed on the first interlayer insulating film 119 and the monocrystal silicon layer 117a. When the second interlayer insulating film 121 is etched so as to form node contact holes 132 reaching the upper surface of the monocrystal silicon layer 117a, the first interlayer insulating film 119 is used as an etching stopper.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-26574

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 1 L	21/768	H 0 1 L	21/90 D
	21/28		21/28 L
	27/108		27/10 6 2 1 Z
	21/8242		

審査請求 有 請求項の数11 O L (全 23 頁)

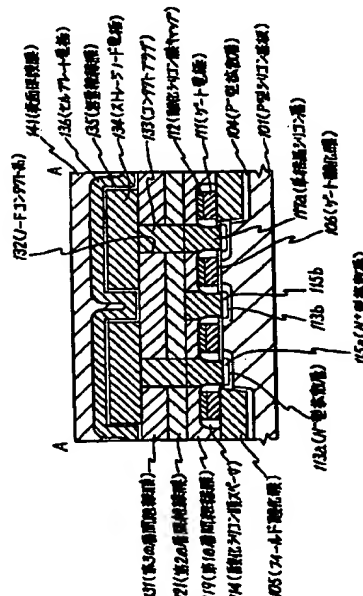
(21) 出願番号	特願平9-174724	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成9年(1997) 6月30日	(72) 発明者	笠井 直記 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	弁理士 高橋 勇

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 マスク・アライメントのずれにより、配線とゲート電極等との間に発生するリーク電流及び短絡を防止する。

【解決手段】 ゲート電極111を覆う酸化シリコン膜キャップ112及び酸化シリコン膜スペーサ114に隣接してP型シリコン基板101上に単結晶シリコン層117aが形成され、酸化シリコン膜キャップ112及び酸化シリコン膜スペーサ114上に第1の層間絶縁膜119形成され、第1の層間絶縁膜119及び単結晶シリコン層117a上に第1の層間絶縁膜119と異なるエッチャントを有する材質からなる第2の層間絶縁膜121が形成されている。第2の層間絶縁膜121をエッチングして単結晶シリコン層117aの上面に達するノード・コンタクト孔132を形成する際に、第1の層間絶縁膜119をエッチングストッパとして利用できる。



1

【特許請求の範囲】

【請求項1】 半導体基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されるとともに上面及び側面を絶縁膜で覆われたゲート電極と、このゲート電極を覆う絶縁膜に隣接して前記半導体基板上に形成された単結晶半導体層と、前記ゲート電極を覆う絶縁膜上に形成された第1の層間絶縁膜と、この第1の層間絶縁膜及び前記単結晶半導体層上に形成されるとともに当該第1の層間絶縁膜と異なるエッチャントを有する材質からなる第2の層間絶縁膜と、この第2の層間絶縁膜に穿設され

10

るとともに前記単結晶半導体層の上面に達するコンタクト孔と、このコンタクト孔を介して前記単結晶半導体層に接続される配線とを備えた半導体装置。

【請求項2】 シリコン基板上に形成されたゲート酸化シリコン膜と、このゲート酸化シリコン膜上に形成されるとともに上面及び側面を酸化シリコン膜で覆われたゲート電極と、このゲート電極を覆う酸化シリコン膜に隣接して前記シリコン基板上に形成された単結晶シリコン層と、前記ゲート電極を覆う酸化シリコン膜上に形成されたシリコン窒化膜と、このシリコン窒化膜及び前記単結晶シリコン層上に形成されたシリコン酸化膜と、このシリコン酸化膜に穿設され

20

るとともに前記単結晶シリコン層の上面に達するコンタクト孔と、このコンタクト孔を介して前記単結晶シリコン層に接続される配線とを備えた半導体装置。

【請求項3】 シリコン基板の表面に設けられた〈110〉方向の辺により区画された活性領域と、この活性領域を囲んで前記シリコン基板の表面の素子分離領域に設けられた溝と、この溝を充填するフィールド絶縁膜と、前記活性領域の表面に設けられたゲート酸化膜を介して当該活性領域の表面上を〈110〉方向に横断するゲート電極と、このゲート電極の上面を直接に覆う酸化シリコン膜キャップと、この酸化シリコン膜キャップ及び前記ゲート電極の側面を直接に覆う酸化シリコン膜スペーサと、前記ゲート電極及び前記フィールド酸化膜に自己整合的に前記活性領域の表面に設けられた逆導電型拡散層と、前記酸化シリコン膜スペーサ及び前記フィールド酸化膜に自己整合的な前記逆導電型拡散層の表面を直接に覆うとともに〈110〉面からなる側面及び主たる面が〈100〉面からなる上面を有した逆導電型の単結晶シリコン層からなる逆導電型のソース・ドレイン領域と、前記フィールド酸化膜、前記酸化シリコン膜キャップ及び前記酸化シリコン膜スペーサを覆い前記単結晶シリコン層の上面が露出するように堆積された第1の層間絶縁膜と、この第1の層間絶縁膜及び前記単結晶シリコン層を覆うとともに当該第1の層間絶縁膜と材質の異なる第2の層間絶縁膜と、この第2の層間絶縁膜に設けられるとともに前記単結晶シリコン層の上面に達するコンタクト孔と、このコンタクト孔を介して前記ソース・ドレイン領域に接続される配線とを備えた半導体装置。

50

2

【請求項4】 主表面が〈100〉からなる一導電型のシリコン基板の表面に設けられた〈110〉方向の辺により区画された活性領域と、この活性領域を囲んで前記シリコン基板の表面の素子分離領域に設けられたLOCOS型のフィールド酸化膜と、前記活性領域の表面に設けられたゲート酸化膜を介して当該活性領域の表面上を〈110〉方向に横断するゲート電極と、このゲート電極の上面を直接に覆う酸化シリコン膜キャップと、この酸化シリコン膜キャップ及び前記ゲート電極の側面を直接に覆う酸化シリコン膜スペーサと、前記ゲート電極及び前記フィールド酸化膜に自己整合的に前記活性領域の表面に設けられた逆導電型拡散層と、前記酸化シリコン膜スペーサ及び前記フィールド酸化膜に自己整合的な前記逆導電型拡散層の表面を直接に覆うとともに〈110〉面からなる側面及び主たる面が〈100〉面からなる上面を有した逆導電型の単結晶シリコン層からなる逆導電型のソース・ドレイン領域と前記フィールド酸化膜、前記酸化シリコン膜キャップ及び前記酸化シリコン膜スペーサを覆い前記単結晶シリコン層の表面及び側面の上部が露出するように堆積された第1の層間絶縁膜と、この第1の層間絶縁膜及び前記単結晶シリコン層を覆うとともに当該第1の層間絶縁膜と材質の異なる第2の層間絶縁膜と、この第2の層間絶縁膜に設けられるとともに前記単結晶シリコン層の上面に達するコンタクト孔と、このコンタクト孔を介して前記ソース・ドレイン領域に接続される配線とを備えた半導体装置。

30

【請求項5】 前記第1の層間絶縁膜が窒化シリコン膜又は窒化酸化シリコン膜からなり、前記第2の層間絶縁膜が酸化シリコン膜又はリン若しくはホウ素を含む酸化シリコン膜からなる、請求項1、3又は4記載の半導体装置。

【請求項6】 前記ゲート電極の最小間隔と前記コンタクト孔の最小口径とが等しい、請求項1、2、3又は4記載の半導体装置。

【請求項7】 前記フィールド絶縁膜によって区画された前記活性領域の最小幅と前記コンタクト孔の最小口径とが等しい、請求項1、2、3又は4記載の半導体装置。

40

【請求項8】 半導体基板上にゲート絶縁膜を形成し、このゲート絶縁膜上にゲート電極を形成し、このゲート電極の上面及び側面を絶縁膜で被覆し、このゲート電極を覆う絶縁膜に隣接して前記半導体基板上に単結晶半導体層を形成し、前記ゲート電極を覆う絶縁膜上に第1の層間絶縁膜を形成し、この第1の層間絶縁膜及び前記単結晶半導体層上に当該第1の層間絶縁膜と異なるエッチャントを有する材質からなる第2の層間絶縁膜を形成し、この第2の層間絶縁膜に前記単結晶半導体層の上面に達するコンタクト孔を穿設し、このコンタクト孔を介して前記単結晶半導体層に配線を接続する、半導体装置の製造方法。

【請求項9】 シリコン基板上にゲートシリコン酸化膜を形成し、このゲートシリコン酸化膜上にゲート電極を形成し、このゲート電極の上面及び側面をシリコン酸化膜で被覆し、このゲート電極を覆うシリコン酸化膜に隣接して前記シリコン基板上に単結晶シリコン層を形成し、前記ゲート電極を覆うシリコン酸化膜上にシリコン窒化膜を形成し、このシリコン窒化膜及び前記単結晶シリコン層上にシリコン酸化膜を形成し、このシリコン酸化膜に前記単結晶シリコン層の上面に達するコンタクト孔を穿設し、このコンタクト孔を介して前記単結晶シリコン層に配線を接続する、半導体装置の製造方法。

【請求項10】 主表面が(100)からなる一導電型のシリコン基板の表面における<110>方向の辺により区画された活性領域を囲む素子分離領域に溝を形成し、全面に絶縁膜を形成し、この絶縁膜を前記溝内のみ残置してフィールド絶縁膜を形成する工程と、熱酸化により前記活性領域の表面にゲート酸化膜を形成し、全面に導電体膜を形成し、この導電体膜の表面を覆う酸化シリコン膜を形成し、この酸化シリコン膜及び前記導電体膜をパターニングして前記ゲート酸化膜を介して前記活性領域の表面上を<110>方向に横断するゲート電極とこのゲート電極の上面を直接に覆う酸化シリコン膜キャップとを形成し、前記ゲート電極及び前記フィールド酸化膜をマスクにして前記活性領域の表面に逆導電型拡散層を形成する工程と、全面に酸化シリコン膜を形成し、異方性エッチングにより当該酸化シリコン膜に対するエッチ・バックを行なって前記酸化シリコン膜キャップ及び前記ゲート電極の側面を直接に覆う酸化シリコン膜スペーサを形成するとともに当該酸化シリコン膜スペーサ及び前記フィールド酸化膜に自己整合的に前記ゲート酸化膜を除去する工程と、

単結晶シリコンの異方性選択エピタキシャル成長法により、前記逆導電型拡散層の表面に前記酸化シリコン膜キャップの高さより高い逆導電型の単結晶シリコン層を形成する工程と、全面に第1の層間絶縁膜を形成し、化学的機械的研磨によって当該第1の層間絶縁膜及び前記単結晶シリコン層を研磨して前記酸化シリコン膜キャップを露出することなく当該単結晶シリコン層の表面を露出させる工程と、全面に前記第1の層間絶縁膜と材質の異なる第2の層間絶縁膜を形成し、この第2の層間絶縁膜の表面を平坦化する工程と、この第2の層間絶縁膜に前記単結晶シリコン層に達するコンタクト孔を形成し、当該第2の層間絶縁膜の表面に前記コンタクト孔を介して前記単結晶シリコン層に接続される配線を形成する工程と、を備えた半導体装置の製造方法。

【請求項11】 主表面が(100)からなる一導電型のシリコン基板の表面における<110>方向の辺によ

り区画された活性領域を囲む素子分離領域にLOCOS型のフィールド酸化膜を形成する工程と、

熱酸化により前記活性領域の表面にゲート酸化膜を形成し、全面に導電体膜を形成し、この導電体膜の表面を覆う酸化シリコン膜を形成し、この酸化シリコン膜及び前記導電体膜をパターニングして前記ゲート酸化膜を介して前記活性領域の表面上を<110>方向に横断するゲート電極とこのゲート電極の上面を直接に覆う酸化シリコン膜キャップとを形成し、前記ゲート電極及び前記フィールド酸化膜をマスクにして前記活性領域の表面に逆導電型拡散層を形成する工程と、

全面に酸化シリコン膜を形成し、異方性エッチングにより当該酸化シリコン膜に対するエッチ・バックを行なって前記酸化シリコン膜キャップ及び前記ゲート電極の側面を直接に覆う酸化シリコン膜スペーサを形成するとともに当該酸化シリコン膜スペーサ及び前記フィールド酸化膜に自己整合的に前記ゲート酸化膜を除去する工程と、

単結晶シリコンの異方性選択エピタキシャル成長法により、前記逆導電型拡散層の表面に前記酸化シリコン膜キャップの高さより高い逆導電型の単結晶シリコン層を形成する工程と、

全面に第1の層間絶縁膜を形成し、この第1の層間絶縁膜をエッチバックして前記酸化シリコン膜キャップを露出することなく前記単結晶シリコン層の表面及び側面の上部を露出させる工程と、

全面に前記第1の層間絶縁膜と材質の異なる第2の層間絶縁膜を形成し、この第2の層間絶縁膜の表面を平坦化する工程と、

この第2の層間絶縁膜に前記単結晶シリコン層に達するコンタクト孔を形成し、当該第2の層間絶縁膜の表面に前記コンタクト孔を介して前記単結晶シリコン層に接続される配線を形成する工程と、を備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関し、特に拡散層の表面に設けられた単結晶シリコン層を介して拡散層と配線との接続が行なわれるMOSトランジスタ等の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 半導体素子の微細化による半導体装置の高集積化により、例えばDRAMでは3年に4倍の記憶容量の増加が実現されている。半導体装置の高集積化は、単に半導体素子の微細化のみにより実現されるものではなく、半導体素子を相互接続するための配線、さらには配線と半導体素子との接続に介在するコンタクト孔の微細化が必須である。半導体素子及びコンタクト孔をその時点でのデザイン・ルールにより規定される最小

加工寸法(=F)により形成するという要求から、自己整合型コンタクト孔と呼ばれるコンタクト孔に関わる種々の構造が各種提示されている。

【0003】本発明者は、1995年の12月に開催されたインターナショナル・エレクトロン・デバイス・ミーティングにおいて、予稿集IEDM-95の665ページ～668ページ(講演番号27.4.1)に記載したように、自己整合型コンタクト孔に係わる新たな提案を行なった。この提案は、主表面が{100}からなるシリコン基板の表面に設けられた拡散層の露出面に自己整合的に、(等方性ではなく)異方性の選択エピタキシャル成長により、単結晶シリコン層を形成するものである。例えばN型の拡散層に対する単結晶シリコン層の異方性選択エピタキシャル成長は、 10^{-7} Pa台の超高真空化学気相成長(ultra-high-vacuum-chemical-vapor-deposition; UHV-CVD)装置を用い、例えば700℃の温度で主原料ガス及びドーピング・ガスとしてジ・シラン(Si_2H_6)及びホスフィン(PH_3)を用いて行なわれる。このときの単結晶シリコン層は、(<110>方向に比べて)シリコン基板の主表面に対して垂直な<100>方向に主として成長する。

【0004】また、本発明者は、上記報告を土台にして異方性選択エピタキシャル成長の適正な条件の検討を行ない、さらにこれらに基づいて0.25 μm デザイン・ルール(最小加工寸法; F=0.25 μm (250nm))によるDRAMの試作を行った。DRAMの平面模式図及び断面模式図である図20乃至図24を参照して説明すると、この異方性選択エピタキシャル成長法を利用したDRAMは、キャパシタがビット線より上の位置に設けられたCOB構造のDRAMであり、以下のようになっている。このときのフォトリソグラフィ工程におけるマスク・アライメント・マージン(=α)は50nm程度である。ここで、図20及び図21は階層化した平面模式図であり、図20は活性領域とワード線を兼ねるゲート電極と上記単結晶シリコン層との位置関係を示す図であり、図21はゲート電極及び単結晶シリコン層とビット線とストレージ・ノード電極との位置関係を示す図である。また、図22乃至図24は、図20及び図21のAA線、BB線及びCC線での断面模式図である。なお、図20及び図21では、これらの位置関係の理解を容易にするために、ゲート電極及びビット線の幅をそれぞれ実際より細めに表示してある。

【0005】P型シリコン基板301の主表面は{100}であり、P型シリコン基板301の比抵抗は5 $\Omega\cdot\text{cm}$ 程度である。P型シリコン基板301が構成されるシリコン・ウェハのオリエンテーション・フラットは<110>方向の辺からなる。P型シリコン基板301の表面の活性領域302は素子分離領域により囲われており、素子分離領域は膜厚300nm程度のLOCOS

型のフィールド酸化膜305とフィールド酸化膜305の底面に設けられた(チャンネル・ストッパ、パンチスルー・ストッパとして機能する)P⁻型拡散層304とから構成されている。活性領域302はP型シリコン基板301の主表面に規則的に配置されており、活性領域302の周辺は<110>方向の辺からなる(換言すれば、活性領域302は<110>方向の辺により区画されていることになる)。活性領域302の最小幅(=チャンネル幅)及び最小間隔はともにF(=0.25 μm (250nm))程度である。膜厚150nm程度のワード線を兼ねるゲート電極311は、活性領域302の表面に熱酸化により設けられた8.5nm程度の膜厚のゲート酸化膜306を介して、活性領域302の表面上を横断している。少なくとも活性領域302直上においては、ゲート電極311は活性領域302に直交している。ゲート電極311の幅(ゲート長)、間隔及び配線ピッチは、それぞれF、F及び2F(=0.5 μm (500nm))程度である。ゲート電極311は膜厚50nm程度のN⁺型多結晶シリコン膜に膜厚100nm程度のタングステン・シリサイド膜が積層されてなる。N⁺型多結晶シリコン膜は、ジ・クロル・シラン(SiH_2Cl_2)及びホスフィン(PH_3)をそれぞれ原料ガス及びドーピング・ガスに用いた700℃程度でのCVD法により形成される。タングステン・シリサイド膜はスパッタリングにより形成される。

【0006】ゲート電極311の上面は膜厚70nm程度の酸化シリコン膜キャップ312により直接に覆われている。活性領域302の表面には、ゲート電極311及びフィールド酸化膜305に自己整合的に、100nm程度の接合の深さを有したN⁻型拡散層313a、313bが設けられている。N⁻型拡散層313a、313bは30keVでの $2\times 10^{13}\text{m}^{-2}$ 程度の燐又は砒素のイオン注入等により形成されている。ゲート電極311及び酸化シリコン膜キャップ312の側面は、膜厚50nm(=d)程度の酸化シリコン膜スペーサ314により直接に覆われている。活性領域302の表面に設けられたゲート酸化膜306はフィールド酸化膜305及び酸化シリコン膜スペーサ314に自己整合的に除去され、これらの領域でのN⁻型拡散層313a、313bの表面は露出されている。2つのゲート電極311に挟まれた方向でのこれら露出面の幅は150nm(=F-2d)程度であり、フィールド酸化膜305に挟まれた部分でのこれら露出面の幅は250nm(=F)程度である。酸化シリコン膜キャップ312を構成する酸化シリコン膜は当初膜厚100nm程度のCVD法により形成された酸化シリコン膜からなるが、酸化シリコン膜スペーサ314を形成する段階でこの酸化シリコン膜の膜厚が薄くなる。活性領域302直上での酸化シリコン膜キャップ312の上面の高さ(P型シリコン基板301の主表面から230nm程度)は、フィールド酸化膜3

05直上での酸化シリコン膜キャップ312の上面の高さ(P型シリコン基板301の主表面から370nm程度)より、140nm程度低くなっている。

【0007】前述したN⁻型拡散層313a, 313bの露出面は、500nm程度の膜厚(高)と $1 \times 10^{19} \text{ m}^{-3}$ 程度の不純物濃度とを有したN⁻型の単結晶シリコン層316a, 316bにより、直接に覆われている。N⁻型拡散層313a, 313bの露出面には、70nm程度の(接合の)深さを有したN⁺型拡散層315a, 315bが設けられている。N⁺型拡散層315a, 315bは、それぞれ単結晶シリコン層316a, 316bからの隣の固相拡散により形成されている。ソース・ドレイン領域318aはN⁻型拡散層313a、N⁺型拡散層315a及び単結晶シリコン層316aから構成され、ソース・ドレイン領域318bはN⁻型拡散層313b、N⁺型拡散層315b及び単結晶シリコン層316bから構成されている。単結晶シリコン層316a, 316bは、それぞれ後述するノード・コンタクト孔、ビット・コンタクト孔に対するコンタクト・パッドとして機能することになる。単結晶シリコン層316a, 316bの主たる上面はP型シリコン基板301の主表面に平行な{100}面からなり、単結晶シリコン層316a, 316bの側面はP型シリコン基板301の主表面に垂直な{110}面からなる。さらに単結晶シリコン層316a, 316bはフィールド酸化膜305のバース・ピーク近傍上及び酸化シリコン膜スペーサ314上端近傍上に多少延在している。単結晶シリコン層316a, 316bの上面と側面とは、厳密には直接に交叉せずに、(P型シリコン基板301の主表面に平行な{100}面をなすシリコン単原子層のテラスがステップ上に積層してなる)ファセットを介して交叉している。なお以降の記述においては、特に断わらない限り、ファセットが上面の一部に含まれているものと見なして記載する。

【0008】単結晶シリコン層316a, 316bは、UHV-CVD装置を用いて、625℃の温度、 $1 \times 10^{-2} \text{ Pa}$ 程度の圧力のもとで、2.0 sccm程度の流量のジ・シランと0.2 sccm程度の流量の水素(H₂)により1%に希釈されたホスフィンからなるドーピング・ガスとにより行なわれる。このとき、P型シリコン基板301の主表面に平行(及び垂直)な単結晶シリコン層316a, 316bの{100}面の<100>方向への成長速度は、10nm/min程度である。下地が酸化シリコン膜の場合、単結晶シリコン層316a, 316bの{110}面の<110>方向への成長速度は{100}面の<100>方向への成長速度の1/20程度である。単結晶シリコン層316a等のフィールド酸化膜305上への延在幅は(マスク・アライメント・マージン($\alpha=50\text{nm}$)より狭く)25nm程度であり、単結晶シリコン層316a等の酸化シリ

コン膜スペーサ314上端近傍上への延在幅は(α よりさらに狭く)10nm~15nm程度になる。ここでは、活性領域302の周辺が<110>方向の辺からなり、活性領域302をゲート電極311が<110>方向に横断することから、単結晶シリコン層316a, 316bは主としてP型シリコン基板301の主表面に垂直な<100>方向に成長することになる。仮に、活性領域302の周辺をなす辺又は活性領域302を横断する部分でのゲート電極311の方向に<100>方向が含まれている場合、これらの方向に平行な{100}面からなる単結晶シリコン層の側面もこれらの方向に直交する方向に選択的に成長することになり、好ましくない。

【0009】NチャネルMOSトランジスタを含めてP型シリコン基板301は第1の層間絶縁膜321により覆われている。層間絶縁膜321は、例えばCVD法による酸化シリコン膜とBPSG膜との積層膜等のような酸化シリコン系絶縁膜からなり、化学機械研磨(CMP)等により平坦化された上面を有している。単結晶シリコン層316a等の上面上での層間絶縁膜321の膜厚は例えば300nm程度である。層間絶縁膜321には、層間絶縁膜321を貫通して単結晶シリコン層316bに達するF程度の口径を有したビット・コンタクト孔322が設けられている。ビット・コンタクト孔322は、例えばN⁺型多結晶シリコン膜からなるコンタクト・プラグ323により充填されている。層間絶縁膜321の上面上に設けられたビット線324は、コンタクト・プラグ323に直接に接続されソース・ドレイン領域318bに接続されている。ビット線324は例えば膜厚120nm程度のタングステン・シリサイド膜からなり、ビット線324の最小線幅及び最小間隔はともにF程度であり、ビット・コンタクト孔322の部分でのビット線324の線幅は、 $0.35 \mu\text{m}$ ($=F+2\alpha$)程度であり、ビット線324の配線ピッチは $0.6 \mu\text{m}$ ($=2F+2\alpha$)程度である。

【0010】ビット線324を含めて、層間絶縁膜321は第2の層間絶縁膜331により覆われている。層間絶縁膜331も酸化シリコン系絶縁膜からなり、ビット線324の上面での層間絶縁膜331の膜厚は300nm程度であり、層間絶縁膜331の上面も平坦化されている。F程度の口径を有して層間絶縁膜331, 321を貫通して設けられたノード・コンタクト孔332は、単結晶シリコン層316aに達し、例えばN⁺型多結晶シリコン膜からなるコンタクト・プラグ333により充填されている。層間絶縁膜331の上面上に設けられたストレージ・ノード電極334は、例えば膜厚800nm程度のN⁺型多結晶シリコン膜からなり、コンタクト・プラグ333に直接に接続され、ソース・ドレイン領域318aに接続されている。ストレージ・ノード電極334の間隔及び最小幅はF及び $F+2\alpha$ 程度であ

る。ストレージ・ノード電極334の上面及び側面と層間絶縁膜331の上面との少なくとも一部は、酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜からなる積層膜（通称、ONO膜）により構成された容量絶縁膜335により直接に覆われている。容量絶縁膜335の酸化シリコン膜換算膜厚は5nm程度である。容量絶縁膜335の表面は、例えば膜厚150nm程度の N^+ 型多結晶シリコン膜からなるセル・プレート電極336により直接に覆われている。セル・プレート電極336の表面は酸化シリコン系絶縁膜からなる表面保護膜341により直接に覆われている。ストレージ・ノード電極334直上での表面保護膜341の膜厚は300nm程度である。

【0011】

【発明が解決しようとする課題】 前述したDRAMの単結晶シリコン層316a, 316bを公知の等方性選択エピタキシャル成長法により形成するならば、 N^- 型拡散層313aの間の間隔が350nm程度であることから、特にノード・コンタクト孔に対するコンタクト・パッドとして機能する単結晶シリコン層の間隔が狭くなり、コンタクト・パッドとして機能させるために必要な高さ（少なくとも酸化シリコン膜キャップ312の上面より高いことが好ましい）を確保することが困難になる。これに対して前述した異方性選択エピタキシャル成長による単結晶シリコン層は、 $\langle 110 \rangle$ 方向への $\{110\}$ 面の成長速度に比べて $\langle 100 \rangle$ 方向への $\{100\}$ 面の成長速度が高いことから、図20及び図21等

に示したように、単結晶シリコン層316aと単結晶シリコン層316bとの間、及び隣接する2つの単結晶シリコン層316aの間に短絡が生じないようにそれぞれ所要の間隔を設けることが容易である。

【0012】 かしながら、上記異方性選択エピタキシャル成長におけるこの「 $\langle 110 \rangle$ 方向への $\{110\}$ 面の成長速度に比べて $\langle 100 \rangle$ 方向への $\{100\}$ 面の成長速度が高い」ことに纏わる新たな問題点が生じる。模式図である図25を参照してこの問題点を説明する。

【0013】 この異方性選択エピタキシャル成長では、 $\langle 110 \rangle$ 方向への $\{110\}$ 面の成長速度が $\langle 100 \rangle$ 方向への $\{100\}$ 面の成長速度の1/20程度であり、単結晶シリコン層316a, 316bの上面が酸化シリコン膜スペーサ314の上端部近傍に達した後、酸化シリコン膜スペーサ314の上端部近傍上へ延在する単結晶シリコン層316a, 316bの $\langle 110 \rangle$ 方向への $\{110\}$ 面の成長が開始される。その結果、酸化シリコン膜スペーサ314の上端部近傍上（さらには酸化シリコン膜キャップ312の上面上）への単結晶シリコン層316a, 316bのオーバー・ラップ幅は、フィールド酸化膜305の上面上での単結晶シリコン層316a, 316bのオーバー・ラップ幅より狭くな

る。このような状況で例えばノード・コンタクト孔322を開口するとき、マスク・アライメントのずれ δ （ただし、 $0 \leq \delta \leq \alpha$ ）が0でないならば、特に酸化シリコン膜スペーサ314の上端部及び酸化シリコン膜キャップ312の一部もエッチング除去されて、ゲート電極311を覆う酸化シリコン膜キャップ312、酸化シリコン膜スペーサ314の膜厚が局所的に薄くなり、さらにはゲート電極311の一部がノード・コンタクト孔322の底部に露出することになる。単結晶シリコン層316a等がコンタクト・パッドとして十分に機能するためには、ノード・コンタクト孔322等の底部に露出するのが単結晶シリコン層316a等の上面のみであることが必要である。したがって、この場合の単結晶シリコン層316a等はコンタクト・パッドとして機能するには不十分である。そのため、ソース・ドレイン領域（この場合にはキャパシタのストレージ・ノード電極）とゲート電極311との間のリーク電流が増大し、さらにはこれらの間の短絡が生じやすくなる。

【0014】 なおこの場合、この異方性選択エピタキシャル成長により例えば2 μ m程度の高さの単結晶シリコン層を設けるならば、酸化シリコン膜キャップ312上においてマスク・アライメント・マージン（ α ）に見合うだけ単結晶シリコン層のオーバー・ラップ幅を確保することが可能になる。しかしながら、このような高さの単結晶シリコン層は、後工程の加工性等に支障をきたすことになるので非現実的である。

【0015】 また、ゲート電極の短絡問題と同様に、半導体基板との短絡も問題となる。図25を参照してこの問題点を説明する。活性領域の最小幅と最小間隔は、設計計法ではF及び $F+2\alpha$ （ $=0.35\mu$ m）程度であるが、LOCOS法により形成されるフィールド酸化膜305は、パズピークの広がりによりでき上がり活性領域幅は片側 β だけ狭くなって $F-2\beta$ となり、フィールド酸化膜の幅は逆に $F+2\alpha+2\beta$ と広がる。 β の大きさはフィールド酸化膜の形成条件によって異なるが、ここでは $\beta=20$ nmである。前述のように単結晶シリコン層316a等のフィールド酸化膜305上への延在幅は25nm程度である。その結果、単結晶シリコン層316の幅は0.26 μ m程度となる。このような状況で例えばノード・コンタクト孔322を開口するとき、マスク・アライメントのずれ δ （ただし、 $0 \leq \delta \leq \alpha$ ）が0でないならば、特に層間絶縁膜321及びフィールド酸化膜305の一部もエッチング除去されて、フィールド酸化膜305の膜厚が局所的に薄くなり、さらにはP型シリコン基板301の一部がノード・コンタクト孔322の底部に露出することになる。

【0016】

【発明の目的】 そこで、本発明の目的は、拡散層とこれら拡散層の表面上に自己整合的に設けられたコンタクト・パッドとして機能する単結晶半導体層とを含んでなる

ソース・ドレイン領域を有する半導体装置において、コンタクト孔を介してこれらのソース・ドレイン領域に接続される配線とゲート電極及び半導体基板との間のリーク電流及び短絡が抑制しやすく、後工程に支障を来さない現実的な単結晶半導体層を有してなる半導体装置及びその製造方法を提供することにある。

【0017】

【課題を解決するための手段】本発明に係る半導体装置は、半導体基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されるとともに上面及び側面を絶縁膜で覆われたゲート電極と、このゲート電極を覆う絶縁膜に隣接して前記半導体基板上に形成された単結晶半導体層と、前記ゲート電極を覆う絶縁膜上に形成された第1の層間絶縁膜と、この第1の層間絶縁膜及び前記単結晶半導体層上に形成されるとともに当該第1の層間絶縁膜と異なるエッチャントを有する材質からなる第2の層間絶縁膜と、この第2の層間絶縁膜に穿設されるとともに前記単結晶半導体層の上面に達するコンタクト孔と、このコンタクト孔を介して前記単結晶半導体層に接続される配線とを備えたものである。ここでいう「エッチャント」とは、エッチング液、エッチングガス等の総称である。例えば、本発明に係る半導体装置は、シリコン基板上に形成されたゲート酸化シリコン膜と、このゲート酸化シリコン膜上に形成されるとともに上面及び側面を酸化シリコン膜で覆われたゲート電極と、このゲート電極を覆う酸化シリコン膜に隣接して前記シリコン基板上に形成された単結晶シリコン層と、前記ゲート電極を覆う酸化シリコン膜上に形成されたシリコン窒化膜と、このシリコン窒化膜及び前記単結晶シリコン層上に形成されたシリコン酸化膜と、このシリコン酸化膜に穿設されるとともに前記単結晶シリコン層の上面に達するコンタクト孔と、このコンタクト孔を介して前記単結晶シリコン層に接続される配線とを備えたものである。

【0018】より具体的には、本発明に係る半導体装置は、シリコン基板の表面に設けられた〈110〉方向の辺により区画された活性領域と、この活性領域を囲んで前記シリコン基板の表面の素子分離領域に設けられた溝と、この溝を充填するフィールド絶縁膜と、前記活性領域の表面に設けられたゲート酸化膜を介して当該活性領域の表面上を〈110〉方向に横断するゲート電極と、このゲート電極の上面を直接に覆う酸化シリコン膜キャップと、この酸化シリコン膜キャップ及び前記ゲート電極の側面を直接に覆う酸化シリコン膜スペーサと、前記ゲート電極及び前記フィールド酸化膜に自己整合的に前記活性領域の表面に設けられた逆導電型拡散層と、前記酸化シリコン膜スペーサ及び前記フィールド酸化膜に自己整合的な前記逆導電型拡散層の表面を直接に覆うとともに〈110〉面からなる側面及び主たる面が〈100〉面からなる上面を有した逆導電型の単結晶シリコン層からなる逆導電型のソース・ドレイン領域と、前記フ

ィールド酸化膜、前記酸化シリコン膜キャップ及び前記酸化シリコン膜スペーサを覆い前記単結晶シリコン層の上面が露出するように堆積された第1の層間絶縁膜と、この第1の層間絶縁膜及び前記単結晶シリコン層を覆うとともに当該第1の層間絶縁膜と材質の異なる第2の層間絶縁膜と、この第2の層間絶縁膜に設けられるとともに前記単結晶シリコン層の上面に達するコンタクト孔と、このコンタクト孔を介して前記ソース・ドレイン領域に接続される配線とを備えたものである。

【0019】又は、本発明に係る半導体装置は、主表面が〈100〉からなる一導電型のシリコン基板の表面に設けられた〈110〉方向の辺により区画された活性領域と、この活性領域を囲んで前記シリコン基板の表面の素子分離領域に設けられたLOCOS型のフィールド酸化膜と、前記活性領域の表面に設けられたゲート酸化膜を介して当該活性領域の表面上を〈110〉方向に横断するゲート電極と、このゲート電極の上面を直接に覆う酸化シリコン膜キャップと、この酸化シリコン膜キャップ及び前記ゲート電極の側面を直接に覆う酸化シリコン膜スペーサと、前記ゲート電極及び前記フィールド酸化膜に自己整合的に前記活性領域の表面に設けられた逆導電型拡散層と、前記酸化シリコン膜スペーサ及び前記フィールド酸化膜に自己整合的な前記逆導電型拡散層の表面を直接に覆うとともに〈110〉面からなる側面及び主たる面が〈100〉面からなる上面を有した逆導電型の単結晶シリコン層からなる逆導電型のソース・ドレイン領域と前記フィールド酸化膜、前記酸化シリコン膜キャップ及び前記酸化シリコン膜スペーサを覆い前記単結晶シリコン層の表面及び側面の上部が露出するように堆積された第1の層間絶縁膜と、この第1の層間絶縁膜及び前記単結晶シリコン層を覆うとともに当該第1の層間絶縁膜と材質の異なる第2の層間絶縁膜と、この第2の層間絶縁膜に設けられるとともに前記単結晶シリコン層の上面に達するコンタクト孔と、このコンタクト孔を介して前記ソース・ドレイン領域に接続される配線とを備えたものである。

【0020】好ましくは、前記第1の層間絶縁膜が窒化シリコン膜あるいは窒化酸化シリコン膜からなり、前記第2の層間絶縁膜が酸化シリコン膜又はリン若しくはホウ素を含む酸化シリコン膜からなる。さらに好ましくは、前記ゲート電極の最小間隔と前記コンタクト孔の最小口径とが等しい。さらに好ましくは、前記フィールド絶縁膜によって区画された前記活性領域の最小幅と前記コンタクト孔の最小口径とが等しい。

【0021】本発明に係る半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成し、このゲート絶縁膜上にゲート電極を形成し、このゲート電極の上面及び側面を絶縁膜で被覆し、このゲート電極を覆う絶縁膜に隣接して前記半導体基板上に単結晶半導体層を形成し、前記ゲート電極を覆う絶縁膜上に第1の層間絶縁膜を形成

し、この第1の層間絶縁膜及び前記単結晶半導体層上に当該第1の層間絶縁膜と異なるエッチャントを有する材質からなる第2の層間絶縁膜を形成し、この第2の層間絶縁膜に前記単結晶半導体層の上面に達するコンタクト孔を穿設し、このコンタクト孔を介して前記単結晶半導体層に配線を接続するものである。例えば、本発明に係る半導体装置の製造方法は、シリコン基板上にゲートシリコン酸化膜を形成し、このゲートシリコン酸化膜上にゲート電極を形成し、このゲート電極の上面及び側面をシリコン酸化膜で被覆し、このゲート電極を覆うシリコン酸化膜に隣接して前記シリコン基板上に単結晶シリコン層を形成し、前記ゲート電極を覆うシリコン酸化膜上にシリコン窒化膜を形成し、このシリコン窒化膜及び前記単結晶シリコン層上にシリコン酸化膜を形成し、このシリコン酸化膜に前記単結晶シリコン層の上面に達するコンタクト孔を穿設し、このコンタクト孔を介して前記単結晶シリコン層に配線を接続するものである。

【0022】より具体的には、本発明に係る半導体装置の製造方法は、主表面が〈100〉からなる一導電型のシリコン基板の表面における〈110〉方向の辺により区画された活性領域を囲む素子分離領域に溝を形成し、全面に絶縁膜を形成し、この絶縁膜を前記溝内にのみ残置してフィールド絶縁膜を形成する工程と、熱酸化により前記活性領域の表面にゲート酸化膜を形成し、全面に導電体膜を形成し、この導電体膜の表面を覆う酸化シリコン膜を形成し、この酸化シリコン膜及び前記導電体膜をパターンニングして前記ゲート酸化膜を介して前記活性領域の表面上を〈110〉方向に横断するゲート電極とこのゲート電極の上面を直接に覆う酸化シリコン膜キャップとを形成し、前記ゲート電極及び前記フィールド酸化膜をマスクにして前記活性領域の表面に逆導電型拡散層を形成する工程と、全面に酸化シリコン膜を形成し、異方性エッチングにより当該酸化シリコン膜に対するエッチ・バックを行なって前記酸化シリコン膜キャップ及び前記ゲート電極の側面を直接に覆う酸化シリコン膜スペーサを形成するとともに当該酸化シリコン膜スペーサ及び前記フィールド酸化膜に自己整合的に前記ゲート酸化膜を除去する工程と、単結晶シリコンの異方性選択エピタキシャル成長法により、前記逆導電型拡散層の表面に前記酸化シリコン膜キャップの高さより高い逆導電型の単結晶シリコン層を形成する工程と、全面に第1の層間絶縁膜を形成し、化学的機械的研磨によって当該第1の層間絶縁膜及び前記単結晶シリコン層を研磨して前記酸化シリコン膜キャップを露出することなく該単結晶シリコン層の表面を露出させる工程と、全面に前記第1の層間絶縁膜と材質の異なる第2の層間絶縁膜を形成し、この第2の層間絶縁膜の表面を平坦化する工程と、この第2の層間絶縁膜に前記単結晶シリコン層に達するコンタクト孔を形成し、当該第2の層間絶縁膜の表面に前記コンタクト孔を介して前記単結晶シリコン層に接続され

る配線を形成する工程とを備えたものである。

【0023】又は、本発明に係る半導体装置の製造方法は、主表面が〈100〉からなる一導電型のシリコン基板の表面における〈110〉方向の辺により区画された活性領域を囲む素子分離領域にLOCOS型のフィールド酸化膜を形成する工程と、熱酸化により前記活性領域の表面にゲート酸化膜を形成し、全面に導電体膜を形成し、この導電体膜の表面を覆う酸化シリコン膜を形成し、この酸化シリコン膜及び前記導電体膜をパターンニングして前記ゲート酸化膜を介して前記活性領域の表面上を〈110〉方向に横断するゲート電極とこのゲート電極の上面を直接に覆う酸化シリコン膜キャップとを形成し、前記ゲート電極及び前記フィールド酸化膜をマスクにして前記活性領域の表面に逆導電型拡散層を形成する工程と、全面に酸化シリコン膜を形成し、異方性エッチングにより当該酸化シリコン膜に対するエッチ・バックを行なって前記酸化シリコン膜キャップ及び前記ゲート電極の側面を直接に覆う酸化シリコン膜スペーサを形成するとともに当該酸化シリコン膜スペーサ及び前記フィールド酸化膜に自己整合的に前記ゲート酸化膜を除去する工程と、単結晶シリコンの異方性選択エピタキシャル成長法により、前記逆導電型拡散層の表面に前記酸化シリコン膜キャップの高さより高い逆導電型の単結晶シリコン層を形成する工程と、全面に第1の層間絶縁膜を形成し、この第1の層間絶縁膜をエッチバックして前記酸化シリコン膜キャップを露出することなく前記単結晶シリコン層の表面及び側面の上部を露出させる工程と、全面に前記第1の層間絶縁膜と材料の異なる第2の層間絶縁膜を形成し、この第2の層間絶縁膜の表面を平坦化する工程と、この第2の層間絶縁膜に前記単結晶シリコン層に達するコンタクト孔を形成し、当該第2の層間絶縁膜の表面に前記コンタクト孔を介して前記単結晶シリコン層に接続される配線を形成する工程とを備えたものである。

【0024】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。

【0025】DRAMの断面模式図及び平面模式図である図1乃至図6を参照すると、本発明の第1実施形態は、本発明をCOB構造のDRAMに適用したものである。このDRAMは0.25 μ mデザイン・ルール（最小加工寸法；F=0.25 μ m（250nm））で50nm程度のマスク・アライメント・マージン α のもとに形成されたものであり、以下のとおりになっている。ここで、図5及び図6は階層化された平面模式図であり、図5は活性領域とワード線を兼ねるゲート電極とN⁺型の単結晶シリコン層との位置関係を示す図であり、図6はゲート電極及び単結晶シリコン層とビット線とストレージ・ノード電極との位置関係を示す図である。また、図1乃至図4は、図5及び図6のAA線、BB線、CC

線及びDD線での断面模式図である。なお図5及び図6では、これらの位置関係の理解を容易にするために、ゲート電極及びビット線の幅をそれぞれ実際より細めに表示してある。

【0026】P型シリコン基板101の主表面は{100}であり、このP型シリコン基板101の比抵抗は $5\Omega\cdot\text{cm}$ 程度である。P型シリコン基板101が構成されるシリコン・ウェハのオリエンテーション・フラットは<110>方向の辺からなる。P型シリコン基板101の表面の活性領域102は素子分離領域により囲まれており、素子分離領域は深さが300nm程度の溝103と、溝103の側面及び底面に設けられた(チャネル・ストップ、パンチスルー・ストップとして機能する)P⁻型拡散層104とから構成されている。活性領域102はP型シリコン基板101の主表面に規則的に配置されており、活性領域102の周辺は<110>方向の辺からなる(すなわち、活性領域102は<110>方向の辺により区画されていることになる)。活性領域102の最小幅(≒チャネル幅)及び最小間隔はともにF(=0.25 μm (250nm))程度である。膜厚150nm程度のワード線を兼ねるゲート電極111は、活性領域102の表面に設けられた8.5nm程度の膜厚のゲート酸化膜106を介して、活性領域102の表面上を横断している。少なくとも活性領域102直上においては、ゲート電極111は活性領域102に直交している。ゲート電極111の幅(ゲート長)、間隔及び配線ピッチは、それぞれF、F及び2F(=0.5 μm (500nm))程度である。ゲート電極111は膜厚50nm程度のN⁺型多結晶シリコン膜に膜厚100nm程度のタングステン・シリサイド膜が積層されてなる。ゲート電極111の上面は膜厚70nm程度の酸化シリコン膜キャップ112により直接に覆われている。活性領域102の表面には、ゲート電極111及びフィールド酸化膜105に自己整合的に、100nm程度の接合の深さを有したN⁻型拡散層113a、113bが設けられている。ゲート電極111及び酸化シリコン膜キャップ112の側面は、膜厚50nm(=d)程度の酸化シリコン膜スペーサ114により直接に覆われている。活性領域102の表面に設けられたゲート酸化膜106はフィールド酸化膜105及びこれらの酸化シリコン膜スペーサ114に自己整合的に除去されてN⁻型拡散層113a、113bの表面は露出されている。2つのゲート電極111に挟まれた方向でのこれら露出面の幅は150nm(=F-2d)程度であり、フィールド酸化膜105に挟まれた部分でのこれら露出面の幅は250nm(=F)程度である。

【0027】上記N⁻型拡散層113a、113bの露出面は、400nm程度の高さ(膜厚)と $1\times 10^{19}\text{cm}^{-3}$ 程度の不純物濃度とを有したN⁺型の単結晶シリコン層116a、116bにより、直接に覆われている。

N⁺型の単結晶シリコン層116a、116bは(詳細は後述するが)異方性選択エピタキシャル成長法により形成されている。単結晶シリコン層117a、117bの高さ(膜厚)は、ゲート電極111を覆う酸化シリコン膜キャップ112の高さ(230nm程度)より高くなければならない。N⁻型拡散層113a、113bの露出面には、70nm程度の(接合の)深さを有したN⁺型拡散層115a、115bが設けられている。N⁺型拡散層115a、115bは、それぞれ単結晶シリコン層117a、117bからの隣接の固相拡散により形成されている。単結晶シリコン層117aは、フィールド酸化膜105上に20nm程度の幅で(フィールド酸化膜105の上面を直接に覆う状態を有して)延在し、酸化シリコン膜キャップ114上端近傍上に10nm弱〜20nm強の幅で(酸化シリコン膜キャップ114上端部を直接に覆う状態を有して)延在している。単結晶シリコン層117bも、フィールド酸化膜105上に20nm程度の幅で延在し、酸化シリコン膜キャップ114上端近傍上に10nm弱〜20nm強の幅で延在している。単結晶シリコン層117a、117bの上面は主としてP型シリコン基板101の主表面に平行な{100}面からなり、単結晶シリコン層117a、117bの側面はP型シリコン基板101の主表面に垂直な{110}面からなる。本実施形態では、単結晶シリコン層117a、117bの側面と上面との交差部近傍の上面を構成するファセットは、概ねフィールド酸化膜105側の側面との交叉部近傍にのみ存在する。

【0028】本実施形態では、ソース・ドレイン領域118aは、N⁻型拡散層113a、N⁺型拡散層115a、単結晶シリコン層117aから構成されている。ソース・ドレイン領域118bは、N⁻型拡散層113b、N⁺型拡散層115b、単結晶シリコン層117bから構成されている。P型シリコン基板101の主表面に形成されたNチャンネルMOSトランジスタはゲート酸化膜106、ゲート電極111及びソース・ドレイン領域118aから構成されている。隣接する単結晶シリコン層117aの間隔、単結晶シリコン層117aと単結晶シリコン層117bとの間隔がともに210nm程度であることから、隣接するソース・ドレイン領域118aの間、ソース・ドレイン領域118aとソース・ドレイン領域118bとの間の絶縁分離は十分に確保されている。

【0029】NチャンネルMOSトランジスタを含めてP型シリコン基板101は第1の層間絶縁膜119によって覆われている。第1の層間絶縁膜119は、例えばCVD法による窒化シリコン膜又は窒化酸化シリコン膜からなり、化学機械研磨(CMP)等により平坦化されて、単結晶シリコン層117a、117bの表面のみ露出されている。

【0030】第1の層間絶縁膜119及び単結晶シリコ

ン層117a, 117bの表面は第2の層間絶縁膜121により覆われている。第2の層間絶縁膜121は、例えばCVD法による酸化シリコン膜とBPSG膜との積層膜等のような酸化シリコン系絶縁膜からなる。単結晶シリコン層117a, 117bの上面上での第2の層間絶縁膜121の膜厚は例えば300nm程度である。第2の層間絶縁膜121には、層間絶縁膜121を貫通して単結晶シリコン層117bに達するF程度の口径を有したビット・コンタクト孔122が設けられている。ビット・コンタクト孔122は、例えばN⁺型多結晶シリコン膜からなるコンタクト・プラグ123により充填されている。第2の層間絶縁膜121の上面上に設けられたビット線124は、コンタクト・プラグ123に直接に接続され、ソース・ドレイン領域118bに接続されている。ビット線124は例えば膜厚120nm程度のタングステン・シリサイド膜からなり、ビット線124の最小線幅及び最小間隔はともにF程度であり、ビット・コンタクト孔122の部分でのビット線124の線幅は350nm(=F+2 α)程度であり、ビット線124の配線ピッチは600nm(=2F+2 α)程度である。

【0031】本実施形態では、ビット・コンタクト孔122が達する部分での単結晶シリコン層117bの幅は290nm程度であるため、ビットコンタクト孔122が単結晶シリコン層117bからはみ出して開口される場合がある。その際は、第1の層間絶縁膜119がビット・コンタクト孔を開くときのエッチング・ストップとしての機能することになる。すなわち、ビット・コンタクト孔122の底部が酸化シリコン膜キャップ112、酸化シリコン膜スペーサ114又はフィールド酸化膜105に直接に達することはなく、さらにはビット・コンタクト孔122の底部にゲート電極111の上面又はP型シリコン基板101の表面が露出することは回避される。このため、ビット線124(及びソース・ドレイン領域118b)とゲート電極111及びP型シリコン基板101とのリーク電流及び短絡の抑制が容易になる。

【0032】ビット線124を含めて、第2の層間絶縁膜121は第3の層間絶縁膜131により覆われている。第3の層間絶縁膜131も酸化シリコン系絶縁膜からなり、ビット線124の上面での第3の層間絶縁膜131の膜厚は300nm程度であり、第3の層間絶縁膜131の上面も平坦化されている。F程度の口径を有して第3の層間絶縁膜131及び第2の層間絶縁膜121を貫通して設けられたノード・コンタクト孔132は、単結晶シリコン層117aに達し、例えばN⁺型多結晶シリコン膜からなるコンタクト・プラグ133により充填されている。第3の層間絶縁膜131の上面に設けられたストレージ・ノード電極134は、例えば膜厚800nm程度のN⁺型多結晶シリコン膜からなり、コンタ

クト・プラグ133に直接に接続され、ソース・ドレイン領域118aに接続されている。ストレージ・ノード電極134の間隔及び最小幅はF及びF+2 α 程度である。ストレージ・ノード電極134の上面及び側面と層間絶縁膜131の上面の少なくとも一部は、ONO膜からなる容量絶縁膜135により直接に覆われている。容量絶縁膜135の酸化シリコン膜換算膜厚は5nm程度である。容量絶縁膜135の表面は、例えば膜厚150nm程度のN⁺型多結晶シリコン膜からなるセル・プレート電極136により直接に覆われている。セル・プレート電極136の表面は例えば酸化シリコン系絶縁膜からなる表面保護膜141により直接に覆われている。ストレージ・ノード電極134直上での表面保護膜141の膜厚は300nm程度である。

【0033】図5及び図6のAA線及びCC線での製造工程の断面模式図である図7乃至図10と、図1乃至図6とを参照すると、本実施形態によるDRAMは、以下のように形成される。

【0034】まず、(100)からなる主表面を有し、5 $\Omega \cdot \text{cm}$ 程度の比抵抗からなり、〈110〉方向の辺からなるオリエンテーション・フラットを有するシリコン・ウェハからなるP型シリコン基板101の主表面の活性領域202直上のみを覆う領域に、フォト・レジスト膜(図示せず)が形成される。活性領域102はP型シリコン基板101の主表面において(オリエンテーション・フラットに平行及び垂直な)〈110〉方向の辺により区画されてなり、それぞれの活性領域102はT型の姿態を有してP型シリコン基板101の主表面に規則的に配列されている。このフォト・レジスト膜をマスクにしてP型シリコン基板101がエッチングされて溝103が形成される。その後、フォト・レジスト膜をマスクにして20keV、5 $\times 10^{12} \text{cm}^{-2}$ 程度のボロンの回転イオン注入が行われ、溝103の側面及び底面にP⁻型拡散層104が形成される。このフォト・レジスト膜が除去された後、CVD法により全面に酸化シリコン膜が形成され、CMPによりこの酸化シリコン膜からなり、溝103を充填し、平坦な上面を有するフィールド絶縁膜105が形成される。活性領域102の表面には熱酸化により膜厚8.5nm程度のゲート酸化膜106が形成される。

【0035】次に、例えばジ・クロロ・シラン、ホスフィンをそれぞれ原料ガス、ドーピング・ガスに用いた700℃程度のCVD法により、全面に膜厚50nm程度のN⁺型多結晶シリコン膜(図に明示せず)が形成される。さらに、スパッタリングにより全面に膜厚100nm程度のタングステン・シリサイド膜(図に明示せず)が形成される。さらにまた、CVD法により、全面に膜厚100nm程度の酸化シリコン膜が形成される。これらの酸化シリコン膜、タングステン・シリサイド膜及びN⁺型多結晶シリコン膜が順次異方性エッチングにより

バターニングされ、タングステン・ポリサイド膜 (N^+ 型多結晶シリコン膜とタングステン・シリサイド膜との積層膜) からなる膜厚150nm程度のゲート電極111とこのゲート電極111の上面を選択的に覆う (膜厚100nm程度の) 酸化シリコン膜キャップ112とが形成される。

【0036】例えば30keVで $2 \times 10^{13} \text{cm}^{-2}$ 程度の隣のイオン注入等により、フィールド酸化膜105及びゲート電極111に自己整合的に、活性領域102の表面に N^- 型拡散層113a, 113bが形成される。 N^- 型拡散層113a, 113bの接合の深さは100nm程度である。隣接する N^- 型拡散層113aの間隔はF程度であり、 N^- 型拡散層113aと N^- 型拡散層113bとの間隔は0.25 μm (250nm) (=F) 程度である。膜厚50nm程度の酸化シリコン膜がCVDにより全面に形成される。フルオロ・カーボン系のエッチング・ガスを用いた異方性エッチングによるエッチ・バックが行なわれ、酸化シリコン膜スペーサ114が形成される。このエッチ・バックにおいて、酸化シリコン膜キャップ112もエッチングに曝されることになり、酸化シリコン膜キャップ112の膜厚は70nm程度になる。また、酸化シリコン膜スペーサ114及びフィールド酸化膜105に自己整合的に、 N^- 型拡散層113a, 113bの表面のゲート酸化膜106が除去されて、これらの部分の N^- 型拡散層113a, 113bの表面が露出される。【図1乃至図6、図7(a)、図9(a)】。

【0037】次に、UHV-CVDを用いて、まず N^- 型拡散層113a, 113bの露出面に形成された自然酸化膜を除去した後、例えば625℃の温度、 $1 \times 10^{-2} \text{Pa}$ 程度の圧力、2.0sccm程度の流量のジ・シランと0.2sccm程度の流量の(1%のホスフィンが水素により希釈されてなる)ドーピング・ガスとによる異方性選択エピタキシャル成長により、 N^- 型拡散層113a, 113bの上記露出面に自己整合的に高さ(膜厚)が300nm程度の N^+ 型の(第1のシリコン層である)単結晶シリコン層116a, 116bが形成され、 N^- 型拡散層113a, 113bの露出した表面には(接合の)深さ70nm程度の N^+ 型拡散層115a, 115bが形成される。この条件のもとでは、(単結晶シリコン層の) {100}面の<100>方向への成長速度は10nm/min程度である。このとき、フィールド酸化膜105等の酸化シリコン膜表面に交叉する(単結晶シリコン層の) {110}面の<110>方向への成長速度は{100}面の<100>方向への成長速度の1/20程度である。本実施形態において、フィールド酸化膜105及び酸化シリコン膜スペーサ114に自己整合的に形成された N^- 型拡散層113a, 113bの上記露出面が<110>方向の辺に囲まれてることから、これら単結晶シリコン層116a, 116

bは主としてP型シリコン基板101の主表面に垂直な<100>方向に選択的に成長する。【図1乃至図6、図7(b)、図9(b)】。

【0038】単結晶シリコン層の上記異方性選択エピタキシャル成長法は、500℃~800℃の範囲の成長温度、 $10^{-3} \text{Pa} \sim 5 \times 10^{-2} \text{Pa}$ の範囲の圧力で行なうのが好ましい。成長温度が500℃より低いと単結晶シリコンが得られなくなり、成長温度が800℃より高いと隣等の導電性不純物のドーピングが困難になる。また、圧力がこの範囲からずれると「異方性」成長が困難になる。この「異方性」の選択性は成長温度の上昇、ジ・シランの流量の減少に伴って高くなる。原料ガスとしてジ・シランの代りにモノ・シラン(SiH_4)を用いても単結晶シリコン層の異方性選択エピタキシャル成長は可能であるが、このときの成長温度はジ・シランを用いる場合より80℃~100℃程度高温側にシフトする。なお、原料ガスとしてジ・クロル・シランを用いても単結晶シリコン層の異方性選択エピタキシャル成長は可能であるが、この場合にはファセットが多発するという不具合がある。

【0039】次に、CVD法により表面に膜厚250nmの窒化シリコン膜120を堆積する。【図1乃至図6、図7(c)、図9(c)】。

【0040】その後、CMPにより窒化シリコン膜120を研磨し、単結晶シリコン層116a, 116bの上面を露出させて、さらに窒化シリコン膜120と単結晶シリコン層116a, 116bを合わせて研磨して平坦な表面とする。その結果、窒化シリコン膜120の膜厚は、酸化シリコン膜キャップ112上において150nm程度となり、単結晶シリコン層117a, 117bの上面は窒化シリコン膜120の表面の高さと等しくなる。【図1乃至図6、図8(d)、図10(d)】。

【0041】その後、例えば酸化シリコン膜の形成、BPSG膜の形成、BPSG膜のリフロー、CMP等が行なわれ、平坦な上面を有する酸化シリコン系絶縁膜からなる第2の層間絶縁膜121が形成される。次に、第2の層間絶縁膜121を貫通して単結晶シリコン層117bの上面に達するビット・コンタクト孔122が形成される。ビット・コンタクト孔122の口径は0.25 μm (=F) 程度であり、フォト・リソグラフィ工程においてアライメントずれが大きくなった場合、ビット・コンタクト孔122の底部は単結晶シリコン層117bの上面からはみ出す場合もあるが、ビット・コンタクト孔132の開口する際のエッチングに、酸化シリコン膜はエッチングされるが、窒化シリコン膜又は酸化窒化シリコン膜はほとんどエッチングされない $\text{CF}_4 + \text{CH}_2\text{F}_2$ 混合ガスを用いるために、窒化シリコン膜からなる第1の層間絶縁膜120がエッチングストップとなり、ビット・コンタクト孔131がゲート電極111及びフィールド絶縁膜105に達することはない。【図1乃至図

6、図8(e)、図10(e)]。

【0042】次に、例えば N^+ 型多結晶シリコン膜等の導電体膜からなるコンタクト・プラグ123により、ビット・コンタクト孔122が充填される。例えばスパッタリングにより膜厚120nm程度のタングステン・シリサイド膜等からなる導電体膜が形成され、この導電体膜がパターニングされてビット線124が形成される。続いて、平坦な上面を有する酸化シリコン系絶縁膜からなる第3の層間絶縁膜131が形成される。第3の層間絶縁膜131及び第3の層間絶縁膜121を貫通して単結晶シリコン層117aの上面に達するノード・コンタクト孔132が形成される。ノード・コンタクト孔132の口径も0.25 μ m(=F)程度であり、フォトリソグラフィ工程においてアライメントずれが大きくてノード・コンタクト孔132の底部は単結晶シリコン層117aの上面からはみ出だした場合でも、ビット・コンタクト孔と同様に、第1の層間絶縁膜がエッチングストッパとなるために、ノード・コンタクト孔132がゲート電極111及びフィールド絶縁膜105に達することはない。[図1乃至図6、図8(f)、図10(f)]。

【0043】次に、例えば N^+ 型多結晶シリコン膜等の導電体膜からなるコンタクト・プラグ133により、ノード・コンタクト孔132が充填される。全面に膜厚800nm程度の N^+ 型多結晶シリコンが形成され、これがパターニングされてストレージ・ノード電極134が形成される。なお、ストレージ・ノード電極134とコンタクト・プラグ133とは同一の N^+ 型多結晶シリコン膜により構成し、一回のパターニングにより形成してもよい。例えばONO膜からなる容量絶縁膜135が形成され、例えば膜厚150nmの N^+ 型多結晶シリコン膜からなるセル・プレート電極136が形成される。さらに表面保護膜141が形成され、本実施形態のDRAMが完成する[図1乃至図6]。

【0044】DRAMの断面模式図及び平面模式図である図11乃至図15を参照すると、本発明の第2実施形態は、本発明を0.25 μ mデザイン・ルールのもとに形成された(ビット線がキャパシタより高い位置にある通常のスタック構造の)DRAMに適用したものである。本実施形態と上記第1実施形態との相違点はビット線及びキャパシタの上下関係と素子分離領域の構造とにあり、このDRAMは以下に述べるようになっている。ここで、図14及び図15も階層化された平面模式図であり、図14は活性領域とワード線を兼ねるゲート電極と N^+ 型の単結晶シリコン層との位置関係を示す図であり、図15はゲート電極及び単結晶シリコン層とストレージ・ノード電極とビット線との位置関係を示す図である。また、図11乃至図13は、図14及び図15のA-A線、B-B線及びC-C線での断面模式図である。なお、図14及び図15でもこれらの位置関係の理解を容易に

するために、ゲート電極及びビット線の幅をそれぞれ実際より細めに表示してある。

【0045】P型シリコン基板201の主表面は(100)であり、このP型シリコン基板201の比抵抗は5 $\Omega \cdot$ cm程度である。このP型シリコン基板201が構成されるシリコン・ウェハのオリエンテーション・フラットは<110>方向の辺からなる。P型シリコン基板201の表面の活性領域202は素子分離領域により囲まれており、素子分離領域は膜厚300nm程度のLOCOS型のフィールド酸化膜205とこのフィールド酸化膜205の底面に設けられた(チャネル・ストッパ、パンチスルー・ストッパとして機能する)P⁻型拡散層204から構成されている。活性領域202はP型シリコン基板201の主表面に規則的に配列されており、活性領域202の周辺は<110>方向の辺からなる(すなわち、活性領域202は<110>方向の辺により区画されていることになる)。

【0046】活性領域202の最小幅(=チャネル幅)及び最小間隔はそれぞれF(=250nm)程度である。膜厚150nm程度のワード線を兼ねるゲート電極211は、活性領域202の表面に設けられた8.5nm程度の膜厚のゲート酸化膜206を介して、活性領域202の表面上を横断している。少なくとも活性領域202直上においては、これらゲート電極211は活性領域202に直交している。ゲート電極211の幅(ゲート長)、間隔及び配線ピッチは、それぞれF、F及び2F(500nm)程度である。ゲート電極211は膜厚50nm程度の N^+ 型多結晶シリコン膜に膜厚100nm程度のタングステン・シリサイド膜が積層されてなる。

【0047】ゲート電極211の上面は膜厚70nm程度の酸化シリコン膜キャップ212により直接に覆われている。活性領域202の表面には、ゲート電極211及びフィールド酸化膜205に自己整合的に、100nm程度の接合の深さを有したN⁻型拡散層213a、213bが設けられている。ゲート電極211及び酸化シリコン膜キャップ212の側面は、膜厚50nm(=d)程度の酸化シリコン膜スペーサ214により直接に覆われている。活性領域202の表面に設けられたゲート酸化膜206はフィールド酸化膜205及び酸化シリコン膜スペーサ214に自己整合的に除去されてN⁻型拡散層213a、213bの表面は露出されている。2つのゲート電極211に挟まれた方向でのこれら露出面の幅はF-2d程度であり、フィールド酸化膜205に挟まれた部分でのこれら露出面の幅はF-2 β (β =20nm(β はパースピークの長さ))程度である。P型シリコン基板201の主表面から活性領域202上の酸化シリコン膜キャップ212の上面までの高さは230nm程度であり、フィールド酸化膜205上の酸化シリコン膜キャップ212の上面までの高和は370nm程

度である。

【0048】上記 N^- 型拡散層213a, 213bの露出面は、500nm程度の高さ(膜厚)と $1 \times 10^{19} \text{ cm}^{-3}$ 程度の不純物濃度とを有した N^+ 型の(単結晶シリコン層217a, 217bにより、直接に覆われている。単結晶シリコン層217a, 217bの高さ(膜厚)も、少なくともゲート電極211を覆う酸化シリコン膜キャップ212の高さ(370nm程度)より厚くなければならない。 N^- 型拡散層213a, 213bの露出面には、70nm程度の(接合の)深さを有した N^+ 型拡散層215a, 215bが設けられている。 N^+ 型拡散層215a, 215bは、それぞれ単結晶シリコン層217a, 217bからの隣の固相拡散により形成されている。単結晶シリコン層217a, 217bは、フィールド絶縁膜205の上面上に20nm程度の幅で(フィールド絶縁膜205の上面を直接に覆う状態を有して)延在し、酸化シリコン膜キャップ214上端近傍上に10nm強の幅で(酸化シリコン膜キャップ214上端部を直接に覆う状態を有して)延在している。単結晶シリコン層217a, 217bの上面は主としてP型シリコン基板201の主表面に平行な{100}面からなり、単結晶シリコン層217a, 217bの側面はP型シリコン基板201の主表面に垂直な{110}面からなる。本実施形態でも、単結晶シリコン層217a, 217bの側面と上面との交差部近傍の上面を構成するファセットは、概ねフィールド絶縁膜205側の側面との交叉部近傍にのみ存在する。

【0049】本実施形態では、ソース・ドレイン領域218aは、 N^- 型拡散層213a、 N^+ 型拡散層215a、単結晶シリコン層217a、217bから構成されている。ソース・ドレイン領域218bは、 N^- 型拡散層213b、 N^+ 型拡散層215b、及び単結晶シリコン層217bから構成されている。P型シリコン基板201の主表面に形成されたNチャネルMOSトランジスタはゲート酸化膜206、ゲート電極211及びソース・ドレイン領域218a, 218bから構成されている。隣接する単結晶シリコン層217aの間隔、単結晶シリコン層217aと単結晶シリコン層217bとの間隔がそれぞれ280nm程度、210nm弱であることから、隣接するソース・ドレイン領域218aの間、ソース・ドレイン領域218aとソース・ドレイン領域218bとの間の絶縁分離は十分に確保されている。

【0050】NチャネルMOSトランジスタを含めてP型シリコン基板201は第1の層間絶縁膜219によって覆われている。第1の層間絶縁膜219は、例えばCVD法による窒化シリコン膜又は窒化酸化シリコン膜からなり、エッチバックにより、単結晶シリコン層217a, 217bの上面及び側面上部のみ露出されている。第1の層間絶縁膜219及び単結晶シリコン層217a, 217bの表面は、第2の層間絶縁膜221により

覆われている。第2の層間絶縁膜221は、例えばCVD法による酸化シリコン膜とBPSG膜との積層膜等のような酸化シリコン系絶縁膜からなり、CMP等により平坦化された上面を有している。単結晶シリコン層217a, 217bの上面上での第2の層間絶縁膜221の膜厚は例えば300nm程度である。第2の層間絶縁膜221上には、第2の層間絶縁膜221を貫通して単結晶シリコン層217aに達するF程度の口径を有したノード・コンタクト孔222が設けられている。ノード・コンタクト孔222は、例えば N^+ 型多結晶シリコン膜からなるコンタクト・プラグ223により充填されている。第2の層間絶縁膜221の上面上に設けられたストレージ・ノード電極224は、例えば膜厚800nm程度の N^+ 型多結晶シリコン膜からなり、コンタクト・プラグ223に直接に接続され、ソース・ドレイン領域218aに接続されている。ストレージ・ノード電極224の最小間隔及び最小幅はF及び $F+2\alpha$ 程度である。ストレージ・ノード電極224の上面及び側面と第2の層間絶縁膜221の上面の少なくとも一部は、ONO膜からなる容量絶縁膜225により直接に覆われている。容量絶縁膜225の酸化シリコン膜換算膜厚は5nm程度である。容量絶縁膜225の表面は、例えば膜厚150nm程度の N^+ 型多結晶シリコン膜からなるセル・プレート電極226により直接に覆われている。

【0051】単結晶シリコン層217bの直上のセル・プレート電極226には口径400nm程度の開口部227が設けられている。セル・プレート電極226を含めて、第2の層間絶縁膜221は第3の層間絶縁膜231により覆われている。第3の層間絶縁膜231も酸化シリコン系絶縁膜からなり、ストレージ・ノード電極224を覆う部分のセル・プレート電極226の上面での第3の層間絶縁膜231の膜厚は300nm程度であり、第3の層間絶縁膜231の上面も平坦化されている。F程度の口径を有するビット・コンタクト孔232は、開口部227の部分において第3の層間絶縁膜231、容量絶縁膜225及び第2の層間絶縁膜221を貫通して単結晶シリコン層217aに達し、例えば N^+ 型多結晶シリコン膜からなるコンタクト・プラグ233により充填されている。第3の層間絶縁膜231の上面上に設けられたビット線234は、コンタクト・プラグ233に直接に接続され、ソース・ドレイン領域218bに接続されている。ビット線234は例えば膜厚120nm程度のタングステン・シリサイド膜からなり、ビット線234の最小線幅及び最小間隔はともにF程度である。ビット線234の表面は例えば酸化シリコン系絶縁膜からなる表面保護膜241により直接に覆われている。ビット線234直上での表面保護膜241の膜厚は300nm程度である。

【0052】図14及び図15のAA線及びCC線での製造工程の断面模式図である図16乃至図19と図11

乃至図15を参照すると、本実施形態によるDRAMは、以下のように形成される。

【0053】まず、(100)からなる主表面を有し、 $50\Omega\cdot\text{cm}$ 程度の比抵抗からなり、〈110〉方向の辺からなるオリエンテーション・フラットを有するシリコン・ウェハからなるP型シリコン基板201の主表面には、例えば膜厚15nm程度のパッド酸化膜(図示せず)が形成され、このパッド酸化膜を覆う窒化シリコン膜(図示せず)が形成される。この窒化シリコン膜の表面上には、P型シリコン基板201の主表面の活性領域202直上のみを覆う領域に、フォト・レジスト膜(図示せず)が形成される。活性領域202はP型シリコン基板201の主面において(オリエンテーション・フラットに平行及び垂直な)〈110〉方向の辺より区画されてなり、それぞれの活性領域は矩形的姿態を有してP型シリコン基板201の主表面に規則的に配置されている。このフォト・レジスト膜をマスクにして窒化シリコン膜がパターニングされた後、このフォト・レジスト膜をマスクにして50keV、 $5\times 10^{12}\text{cm}^{-2}$ 程度のボロンのイオン注入が行われる。このフォト・レジスト膜が除去された後、公知の選択酸化が行われる。これにより、膜厚300nm程度のLOCOS型のフィールド酸化膜205と、フィールド酸化膜205の底面に直接接続されるP⁻型拡散層204とが形成される。上記窒化シリコン膜及びパッド酸化膜が除去された後、活性領域202の表面には熱酸化により膜厚8.5nm程度のゲート酸化膜206が形成される。

【0054】次に、全面に膜厚50nm程度のN⁺型多結晶シリコン膜(図に明示せず)が形成され、さらに全面に膜厚100nm程度のタングステン・シリサイド膜(図に明示せず)が形成される。さらにまたCVD法により、全面に膜厚100nm程度の酸化シリコン膜が形成される。これらの酸化シリコン膜、タングステン・シリサイド膜及びN⁺型多結晶シリコン膜が順次異方性エッチングによりパターニングされ、タングステン・ポリサイド膜からなる膜厚150nm程度のゲート電極211とゲート電極211の上面を選択的に覆う(膜厚100nm程度の)酸化シリコン膜キャップ212とが形成される。フィールド酸化膜205及びゲート電極211に自己整合的に、活性領域202の表面にN⁻型拡散層213a、213bが形成される。N⁻型拡散層213a、213bの接合の深さは100nm程度である。隣接するN⁻型拡散層213aの間隔はF程度であり、N⁻型拡散層213aとN⁻型拡散層213bとの間隔はF程度である。膜厚50nm程度の酸化シリコン膜がCVDにより全面に形成され、異方性エッチングによるエッチ・バックが行なわれ、酸化シリコン膜スペーサ215が形成される。このエッチ・バックにおいて、酸化シリコン膜キャップ212もエッチングに曝されることになり、酸化シリコン膜キャップ212の膜厚は70nm

程度になる。また、酸化シリコン膜スペーサ215及びフィールド酸化膜205に自己整合的に、N⁻型拡散層213a、213bの表面のゲート酸化膜206が除去されて(同時にフィールド絶縁膜205を膜厚のこれらゲート電極211、酸化シリコン膜スペーサ214に覆われていない部分が30nm程度薄くなり)、これらの部分のN⁻型拡散層213a、213bの表面が露出される[図11乃至図15、図16(a)、図18(a)]。

【0055】次に、上記第1実施形態と同様の方法により、UHV-CVDを用いてまずN⁻型拡散層213a、213bの露出面に形成された自然酸化膜が除去された後、例えば625℃の温度、 $1\times 10^{-2}\text{Pa}$ 程度の圧力、2.0sccm程度の流量のジ・シランと0.2sccm程度の流量の(1%のホスフィンが水素により希釈されてなる)ドーピング・ガスとによる異方性選択エピタキシャル成長によって、N⁻型拡散層213a、213bの上記露出面に自己整合的に高さ(膜厚)が400nm程度のN⁺型の(第1のシリコン層である)単結晶シリコン層216a、216bが形成され、N⁻型拡散層213a、213bの露出した表面には(接合の)深さ70nm程度のN⁺型拡散層215a、215bが形成される。[図11乃至図15、図16(b)、図18(b)]。

【0056】本実施形態においても上記第1実施形態と同様に、単結晶シリコン層の上記異方性選択エピタキシャル成長法は、500℃~800℃の範囲の成長温度、 10^{-3}Pa 、 $5\times 10^{-2}\text{Pa}$ の範囲の圧力で行なうことが好ましい。また、原料ガスとしてジ・シランの代りにモノ・シランを用いても単結晶シリコン層の異方性選択エピタキシャル成長は可能であるが、このときの成長温度はジ・シランを用いる場合より80℃~100℃程度高温側にシフトする。

【0057】次に、膜厚300nmの酸化窒化シリコン膜219をCVD法で堆積する。[図11乃至図15、図16(c)、図18(c)]。

【0058】エッチバックにより酸化窒化シリコン膜219のみをエッチングして、前記単結晶シリコン層216a、216bの少なくとも上面を露出させ、酸化シリコン膜キャップ212が露出しない程度までエッチバックを行う。[図11乃至図15、図17(d)、図19(d)]。

【0059】その後、例えば酸化シリコン膜の形成、BPSG膜の形成、BPSG膜のリフロー、CMP等が行なわれ、平坦な上面を有する酸化シリコン系絶縁膜からなる第2の層間絶縁膜221が形成される。第2の層間絶縁膜221を貫通して単結晶シリコン層217aの上面に達するノード・コンタクト孔222が形成される。ノード・コンタクト孔222の口径は0.25 μm (=F)程度であり、フォト・リソグラフィ工程においてア

ライメントずれが大きくてノード・コンタクト孔222の底部は単結晶シリコン層217aの上面からはみ出しても、第1実施形態と同様、第1の層間絶縁膜220がエッチストップとなる。〔図11乃至図15、図17(e)、図19(e)〕。

【0060】次に、例えばN⁺型多結晶シリコン膜等の導電体膜からなるコンタクト・プラグ223により、ノード・コンタクト孔222が充填される。全面に膜厚800nm程度のN⁺型多結晶シリコンが形成され、これがパターニングされてストレージ・ノード電極224が形成される。なお、ストレージ・ノード電極224とコンタクト・プラグ223とは同一のN⁺型多結晶シリコン膜により構成し、一回のパターニングにより形成してもよい。例えばONO膜からなる容量絶縁膜135が形成され、例えば膜厚150nmのN⁺型多結晶シリコン膜からなるセル・プレート電極226が形成される。異方性エッチングにより、単結晶シリコン層217bの直上のセル・プレート電極226には口径400nm程度の開口部227が形成される。続いて、平坦な上面を有する酸化シリコン系絶縁膜からなる第3の層間絶縁膜231が形成される。開口部227が形成された部分において第3の層間絶縁膜231、容量絶縁膜225及び第2の層間絶縁膜221を貫通し、単結晶シリコン層217bの上面に達するビット・コンタクト孔232が形成される。ビット・コンタクト孔232の口径もF程度であり、フォトリソグラフィ工程においてアライメントずれが大きくなって、ビット・コンタクト孔232の底部は単結晶シリコン層217bの上面からはみ出しても、第1の層間絶縁膜220がエッチストップとしての役割を果たす。〔図11乃至図15、図17(f)、図19(f)〕。

【0061】その後、例えばN⁺型多結晶シリコン膜等の導電体膜からなるコンタクト・プラグ223により、ビット・コンタクト孔232が充填される。例えばスパッタリングにより膜厚120nm程度のタングステン・シリサイド膜等からなる導電体膜が形成され、この導電体膜がパターニングされてビット線234が形成される。さらに表面保護膜241が形成され、本実施形態によるDRAMが完成する。〔図11乃至図15〕。

【0062】なお、COB構造のDRAMに上記第2実施形態を適用することは容易である。また、(効果の減少は別として)上記第2実施形態を適用した)通常のスタック構造のDRAMに対して、(トレンチ構造を含んでなる素子分離構造を採用する)上記第1実施形態を適用することも可能である。また、上記第1及び第2実施形態はそれぞれNチャネルMOSトランジスタに関するものであるが、第1及び第2実施形態をPチャネルMOSトランジスタに適用することも可能である。

【0063】

【発明の効果】以上説明したように本発明によれば、ゲ

ート電極を覆う絶縁膜に隣接して半導体基板上に単結晶半導体層が形成され、ゲート電極を覆う絶縁膜上に第1の層間絶縁膜が形成され、第1の層間絶縁膜及び単結晶半導体層上に第1の層間絶縁膜と異なるエッチャントを有する材質からなる第2の層間絶縁膜が形成されていることにより、第2の層間絶縁膜をエッチングして単結晶半導体層の上面に達するコンタクト孔を形成する際に、第1の層間絶縁膜をエッチングストップとして利用できる。したがって、コンタクト孔を形成する際に、マスク・アライメントのずれがあっても第1の層間絶縁膜の下に存在する絶縁膜等を損傷することがないので、コンタクト孔を介して設けられた配線とゲート電極等との間のリーク電流及び短絡を防止できる。また、単結晶半導体層を厚くする必要がないので、後工程に支障を来すこともない。

【0064】より具体的に言えば、逆導電型拡散層とこれら逆導電型拡散層の表面上に自己整合的に設けられたコンタクト・パッドとして機能する逆導電型の単結晶シリコン層とを含んでなるソース・ドレイン領域を有し、主表面が(100)からなる一導電型シリコン基板に設けられた逆導電型チャネルのMOSトランジスタにおいて、ゲート電極の上面を選択的に直接に覆う酸化シリコン膜キャップが設けられ、ゲート電極及び酸化シリコン膜スペーサの側面を直接に覆う酸化シリコン膜スペーサを設けられている。さらに、酸化シリコン膜スペーサに自己整合的な逆導電型拡散層の表面に直接に接続される逆導電型の単結晶シリコン層が設けられ、単結晶シリコン層と逆導電型拡散層とからソース・ドレイン領域が構成され、単結晶シリコン層がコンタクト・パッドとして機能している。単結晶シリコン層は異方性選択エピタキシャル成長法により形成される。酸化シリコン膜キャップより高さの高い単結晶シリコン層を除いて窒化シリコン膜又は酸化窒化シリコン膜からなる第1の層間絶縁膜が表面を被覆している。その結果、本発明の採用によりコンタクト孔を介してこれらのソース・ドレイン領域に接続される配線とゲート電極又は基板との間のリーク電流及び短絡が抑制しやすく、後工程に支障をきたさない現実的な高さの単結晶シリコン層を有してなることが可能になる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を示す図5及び図6におけるAA線での断面模式図である。

【図2】本発明の第1実施形態を示す図5及び図6におけるBB線での断面模式図である。

【図3】本発明の第1実施形態を示す図5及び図6におけるCC線での断面模式図である。

【図4】本発明の第1実施形態を示す図5及び図6におけるDD線での断面模式図である。

【図5】本発明の第1実施形態を示す平面模式図であり、活性領域とワード線を兼ねるゲート電極と単結晶シ

リコン層との位置関係を示す。

【図6】本発明の第1実施形態を示す平面模式図であり、ゲート電極及び単結晶シリコン層とビット線とストレージ・ノード電極との位置関係を示す。

【図7】本発明の第1実施形態を示す図5及び図6におけるAA線での製造工程の断面模式図であり、図7

(a)、図7(b)、図7(c)の順に工程が進行する。

【図8】本発明の第1実施形態を示す図5及び図6におけるAA線での製造工程の断面模式図であり、図8

(d)、図8(e)、図8(f)の順に工程が進行する。

【図9】本発明の第1実施形態を示す図5及び図6におけるCC線での製造工程の断面模式図であり、図9

(a)、図9(b)、図9(c)の順に工程が進行する。

【図10】本発明の第1実施形態を示す図5及び図6におけるCC線での製造工程の断面模式図であり、図10

(d)、図10(e)、図10(f)の順に工程が進行する。

【図11】本発明の第2実施形態を示す図14及び図15におけるAA線での断面模式図である。

【図12】本発明の第2実施形態を示す図14及び図15におけるBB線での断面模式図である。

【図13】本発明の第2実施形態を示す図14及び図15におけるCC線での断面模式図である。

【図14】本発明の第2実施形態を示す平面模式図であり、活性領域とワード線を兼ねるゲート電極と単結晶シリコン層との位置関係を示す。

【図15】本発明の第2実施形態を示す平面模式図であり、ゲート電極及び単結晶シリコン層とビット線とストレージ・ノード電極との位置関係を示す。

【図16】本発明の第2実施形態を示す図14及び図15におけるAA線での製造工程の断面模式図であり、図16(a)、図16(b)、図16(c)の順に工程が進行する。

【図17】本発明の第2実施形態を示す図14及び図15におけるAA線での製造工程の断面模式図であり、図17(d)、図17(e)、図17(f)の順に工程が進行する。

【図18】本発明の第2実施形態を示す図14及び図15におけるCC線での製造工程の断面模式図であり、図18(a)、図18(b)、図18(c)の順に工程が進行する。

【図19】本発明の第2実施形態を示す図14及び図15におけるCC線での製造工程の断面模式図であり、図19(d)、図19(e)、図19(f)の順に工程が進行する。

【図20】従来技術を示す平面模式図であり、活性領域

とワード線を兼ねるゲート電極と単結晶シリコン層との位置関係を示す。

【図21】従来技術を示す平面模式図であり、ゲート電極及び単結晶シリコン層とビット線とストレージ・ノード電極との位置関係を示す。

【図22】従来技術を示す図20及び図21におけるAA線での断面模式図である。

【図23】従来技術を示す図20及び図21におけるBB線での断面模式図である。

【図24】従来技術を示す図20及び図21におけるCC線での断面模式図である。

【図25】従来技術のゲート電極に対する問題点を説明するための断面模式図である。

【図26】従来技術の基板に対する問題点を説明するための断面模式図である。

【符号の説明】

101, 201, 301 P型シリコン基板

102, 202, 302 活性領域

104, 204, 304 P-型拡散層

105 フィールド絶縁膜

106, 206, 306 ゲート酸化膜

111, 211, 311 ゲート電極

112, 212, 312 酸化シリコン膜キャップ

113a, 113b, 213a, 213b, 313a, 313b N-型拡散層

114, 214, 314 酸化シリコン膜スペーサ

115a, 115b, 215a, 215b, 315a, 315b N+型拡散層

116a, 116b, 117a, 117b, 216a,

216b, 217a,

217b, 316a1, 316b 単結晶シリコン層

118a, 118b, 218a, 218b, 318a, 318b ソース・ドレイン領域

119, 120, 219, 220 第1の層間絶縁膜

121, 221, 321 第2の層間絶縁膜

131, 231, 331 第3の層間絶縁膜

122, 232, 322 ビット・コンタクト孔

123, 133, 223, 233, 323, 333 コンタクト・プラグ

124, 234, 324 ビット線

132, 222, 332 ノード・コンタクト孔

134, 224, 334 ストレージ・ノード電極

135, 225, 335 容量絶縁膜

136, 226, 336 セル・プレート電極

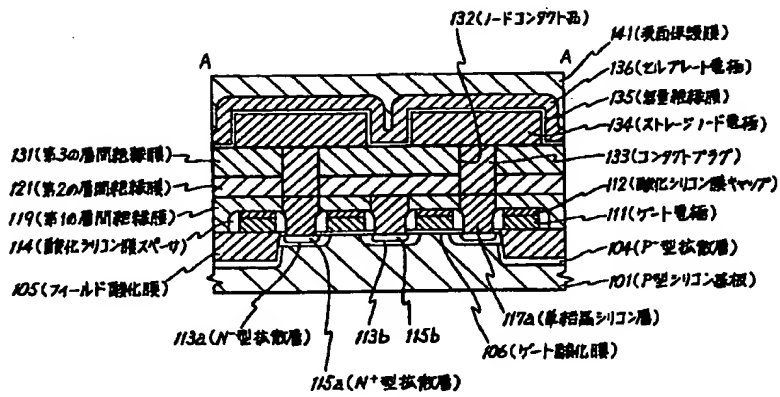
141, 241, 341 表面保護膜

203 溝

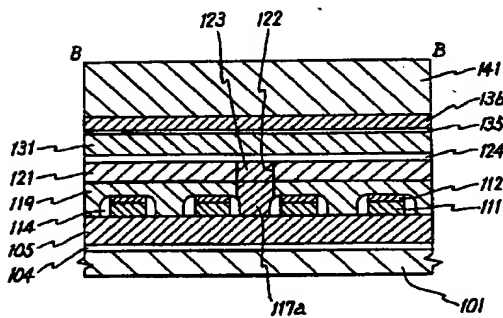
205, 305 フィールド酸化膜

227 開口部

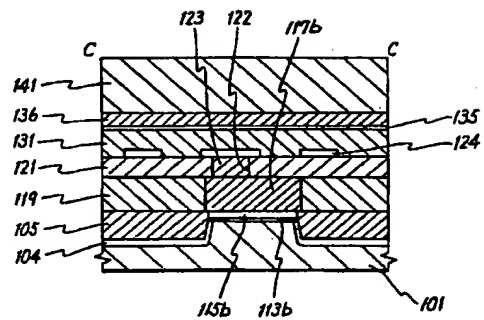
【図1】



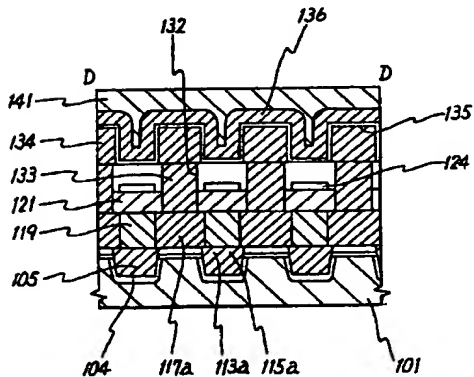
【図2】



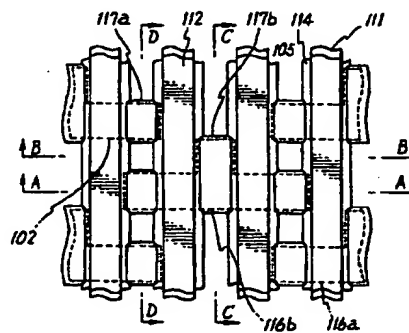
【図3】



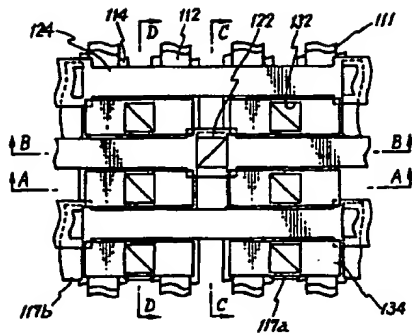
【図4】



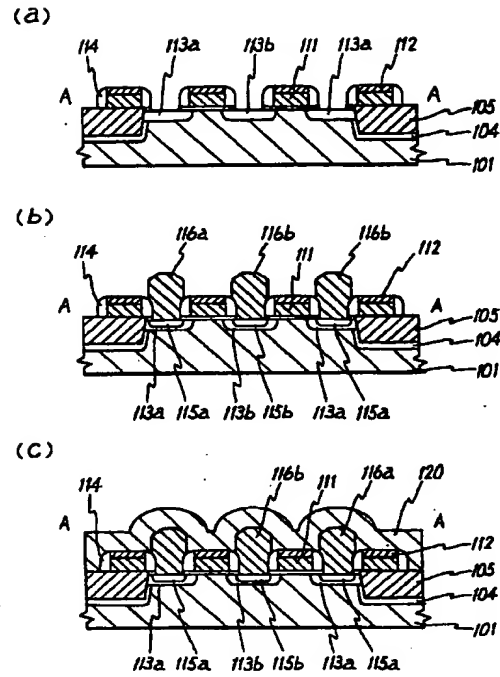
【図5】



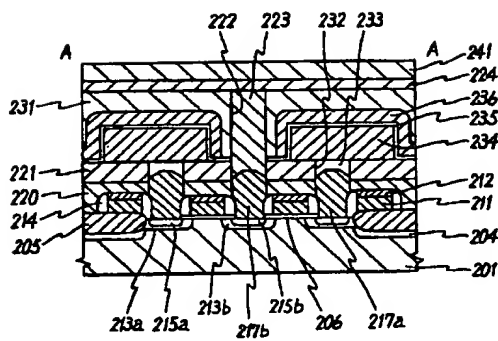
【図6】



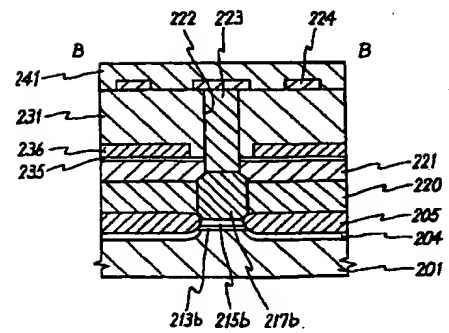
【図7】



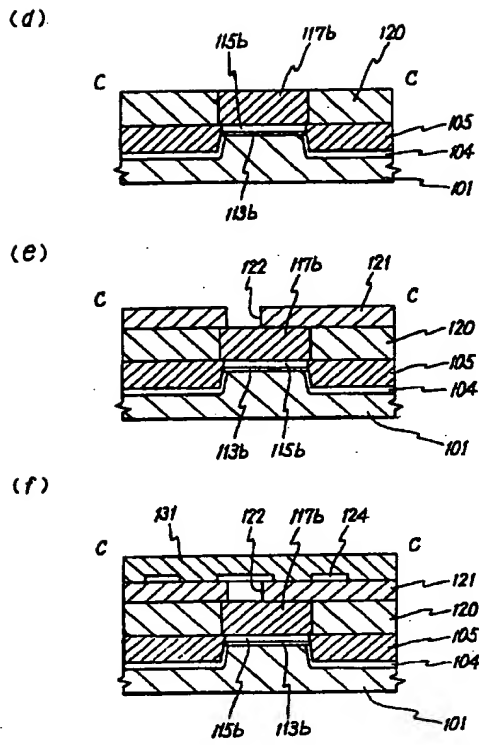
【図11】



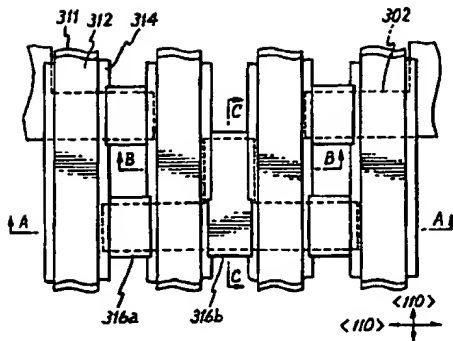
【図12】



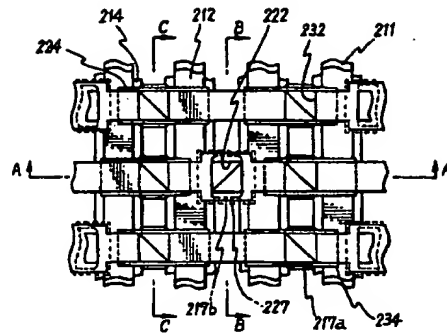
【図10】



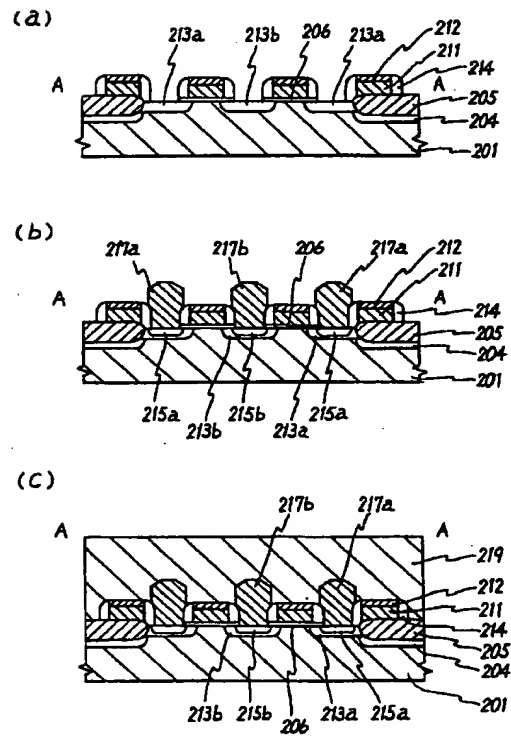
【図20】



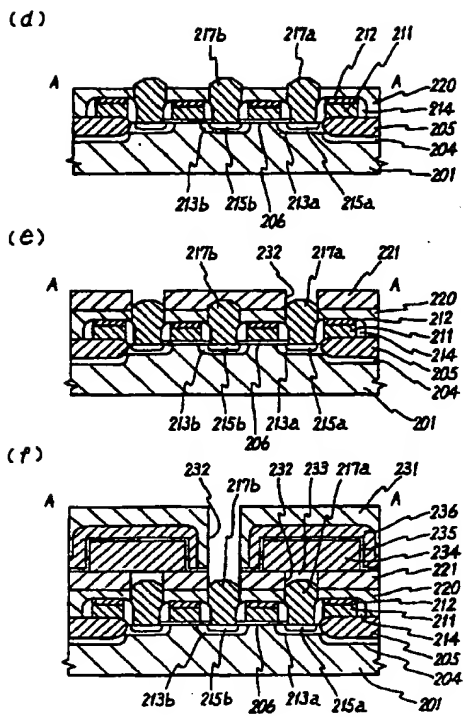
【図15】



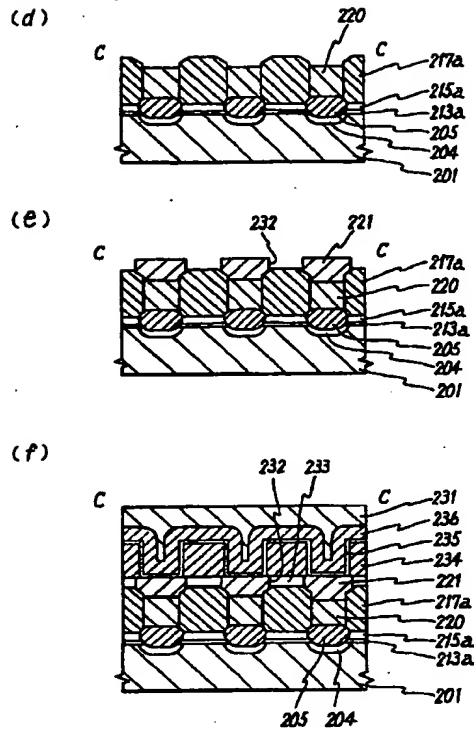
【図16】



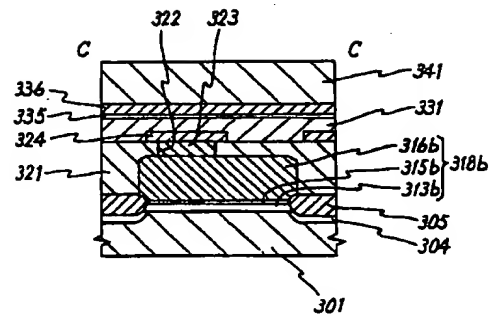
【图 17】



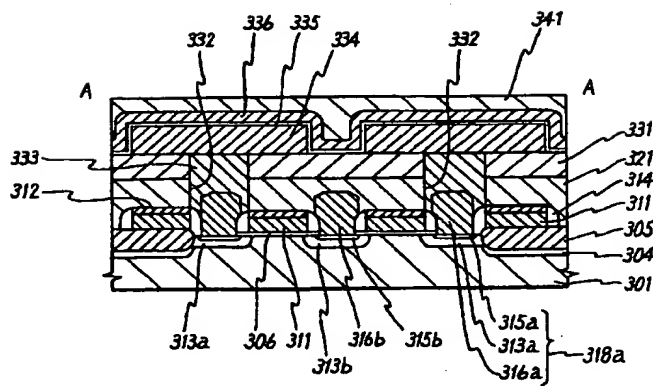
【図19】



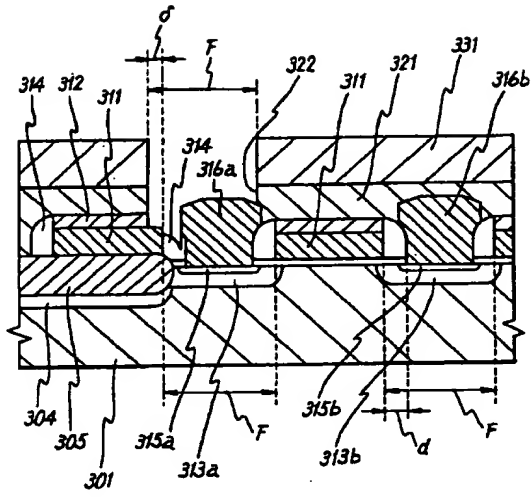
【図24】



【図22】



【図 25】



【図 26】

